

## 論理回路基礎 (第11回)

坂井 修一

東京大学大学院 情報理工学系研究科 電子情報学専攻  
 東京大学 工学部電気工学科

- ・ 講義の概要と予定
- ・ 論理回路の実現

## 講義の概要と予定

1. デジタル回路入門
2. 論理演算
3. 組み合わせ回路の構成法
4. 組合せ回路の実例
5. フリップフロップ
6. 基本的な順序回路
7. 一般的な順序回路
8. 論理回路の実現
9. 記憶回路
10. デジタル回路から電子計算機へ

試験: 3月3日(予定)

## これまでにやったこと

- 論理演算
- 組合せ回路の構成法
  - カルノー図 AND-OR回路
- 順序回路の構成法
  - 状態遷移図 状態遷移表 組合せ回路

これまでの知識で、任意の論理回路を設計  
 することができる

## 8. 論理回路の実現

### 8.1 半導体デバイス

#### ■ ECL: Emitter Coupled Logic

- 高速
- 低出力インピーダンス
- ファンアウトが大きい
- 供給電力一定
- 雑音を発生しない
- × 大消費電力
- × 容量性負荷に弱い

#### ■ TTL: Transistor Transistor Logic

- 高速
- 低出力インピーダンス
- 特有の雑音を発生しない
- × 大消費電力 (ECLよりは小さい)
- × ワイアドオアが取れない (cf. オープンコレクタ)

## 8.1 半導体デバイス(続き)

- CMOS: Complementary Metal Oxide Semiconductor
  - : 高速
  - : 低消費電力
  - ×: 容量性負荷に弱い。特に配線長の問題

現在のLSIはCMOSが中心

詳細は教科書を読む + 「電子デバイス基礎」

論理回路基礎

東大・坂井

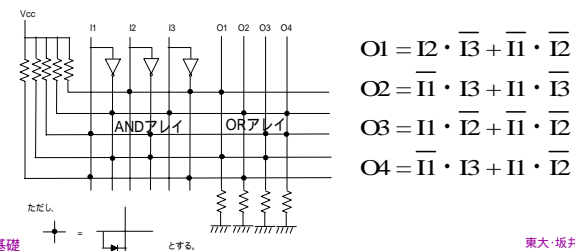
## 8.2 プログラマブルデバイス(PLD)(1)

PLD: Programmable Logic Device

結線構造をあとから変えることで論理回路を実現するデバイス

(1) PLA: Programmable Logic Array

AND arrayとOR arrayの組合せで、任意の組合せ回路を表現する。LSI内部などで使われる



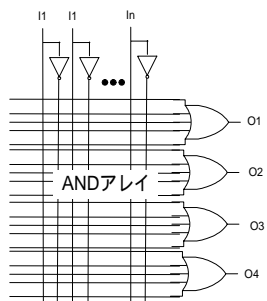
論理回路基礎

東大・坂井

## PLD(2)

■ PAL: Programmable Array Logic

- ヒューズ型。一度配線すると回路は固定される



PAL: 積和型の組合せ論理回路でORアレイを固定化したもの(単純・高速)

・ゲート数にして数十から100程度、入力数にして10から20程度

・フリップフロップをもつものもある

GAL (Generic Array Logic): 電氣的書き換えのできるPAL

・数百ゲート規模のものがある

論理回路基礎

東大・坂井

## PLD (3)

■ FPGA: Field Programmable Gate Array

- 小さなメモリセルの組合せで「書き換え可能な論理回路」を表現

・メモリ: アドレスを入力とする組合せ論理を表現

- 現在、数十万から数百万ゲート規模。可変構造のマイクロコンピュータを作ることもできる

■ CPLD: Complex PLD

- 積和型のPLDを複数個組み合わせることで、大規模で複雑な動作を行える論理回路を実現

・FPGAほどの柔軟性はないが、より高速である

論理回路基礎

東大・坂井

## 8.3 ゲートアレイとスタンダードセル

- ゲートアレイ
  - NANDゲートを二次元行列状に敷き詰めておき、ゲート間の結線を決めることで論理回路の設計を行うもの
    - カスタムデザイン(ゲートの種別・配置までデザインするもの)より設計コストが安く、設計期間が短くてすむ
    - ×集積度があがらず、動作速度も低い(特に長い配線による遅延)
- スタンダードセル
  - NAND、NOR、FFなどからなる「標準セルライブラリ」をLSI上のパターンとして作っておき、これを組み合わせて論理回路を作るもの。ライブラリには、「メモリ」「ALU」といったものも含まれる
    - カスタムデザインより設計コストが安く、設計期間が短くてすむ
    - ゲートアレイより集積度が高く、動作速度も大きい
    - ×カスタムデザインほどは集積度が上がらず、動作速度も遅い
- IP(Intellectual Property)
  - 回路をマクロ化して、著作権で保護したもの。論理回路レベルのソフトIPと、物理的実現(セルの方式や配置配線)を含むハードIPがある。

論理回路基礎

東大・坂井

## 8.4 論理回路のCAD

- CAD: Computer Aided Design(計算機援用設計)  
プログラム LSIへ
- 論理の入力
  - HDL: Hardware Description Language
    - 「入力動作を記述するだけ」から「ゲート記述」まで様々なレベル
    - Verilog HDL, VHDLの2つが標準品
  - スキマティック入力
    - MIL記号による入力
- 自動設計
  - 自動論理合成
    - HDLなどで記述された状態遷移から回路を合成する。Synopsisが有名
  - 自動配置配線
  - 自動試験パターン生成

論理回路基礎

東大・坂井

## 8.4 論理回路のCAD(続き)

- 設計検証
  - 論理シミュレーション
    - 論理動作の検証
  - 遅延シミュレーション
    - 目標動作速度の達成を検証
  - 消費電力、結線の妥当性などの検証
- 設計データベースシステム
  - 設計データの効率的な格納、検索、更新を行う

論理回路基礎

東大・坂井

## 問題

- 2ビット加算器をPLAを使って実現したい。PLAのパターンを図示せよ。

論理回路基礎

東大・坂井