

## 論理回路基礎 (第6回)

坂井 修一

東京大学大学院 情報理工学系研究科 電子情報学専攻  
 東京大学 工学部電気工学科

- ・ 講義の概要と予定
- ・ フリップフロップ(1)

## 講義の概要と予定

1. デジタル回路入門
2. 論理演算
3. 組み合わせ回路の構成法
4. 組合せ回路の実例
5. フリップフロップ
6. 基本的な順序回路
7. 一般的な順序回路
8. 論理回路の実現
9. 記憶回路
10. デジタル回路から電子計算機へ

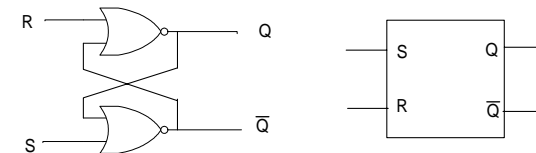
休講: 12月2日 試験: 3月3日(予定)

## 5. フリップフロップ(Flip Flop, FF)

- フリップフロップ = 1 bitの状態をもつ回路
- フリップフロップの分類
  - 非同期型(ラッチ、latch)
    - 入力を与えられるとただちに出力が変化する
      - ・ SRラッチ(非同期SRフリップフロップ)
      - ・ Dラッチ(非同期Dフリップフロップ)
  - 同期型(狭義のフリップフロップ)
    - クロック(矩形波)が生じた時点の入力にだけ出力が影響を受ける
      - ・ SRフリップフロップ
      - ・ Dフリップフロップ
      - ・ JKフリップフロップ
      - ・ Tフリップフロップ

## 5.1 SRラッチ(非同期SRフリップフロップ)

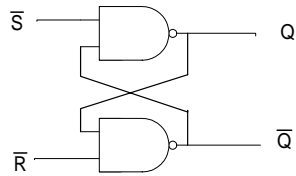
### ■ SR: Set - Reset



S	R	Next Q	Next $\bar{Q}$	意味
0	0	Q	$\bar{Q}$	前の状態
0	1	0	1	リセット
1	0	1	0	セット
1	1	0	0	禁止入力

左のような表を  
**特性表**という

## NANDゲートによるSRラッチ



### 問題

1. 上の回路の状態遷移表を書け
2. NORゲートによる状態遷移表と差があるか？

今後、NANDゲートによるSRラッチを基本回路と考える

論理回路基礎

東大・坂井

## 回答

S	R	Next Q	Next $\bar{Q}$	意味
0	0	Q	$\bar{Q}$	前の状態
0	1	0	1	リセット
1	0	1	0	セット
1	1	1	1	禁止入力

禁止入力に対する出力が違う      実用的な意味はない

論理回路基礎

東大・坂井

## 特性表と励起表

### SRラッチの動作

(a) 特性表

S	R	Q <sub>next</sub>
0	0	Q
0	1	0
1	0	1
1	1	禁止入力

(b) 励起表

Q	Q <sub>next</sub>	S	R
0	0	0	X
0	1	1	0
1	0	0	1
1	1	X	0

Xは、0でも1でもよい

「入力と状態に対する次状態」を表す

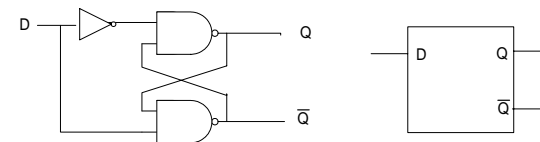
「求める状態変化に対する入力」を表す

論理回路基礎

東大・坂井

## 5.2 Dラッチ (非同期Dフリップフロップ)

### ■ D: Delay



### Dラッチの動作

(a) 特性表

D	Q <sub>next</sub>
0	0
1	1

(b) 励起表

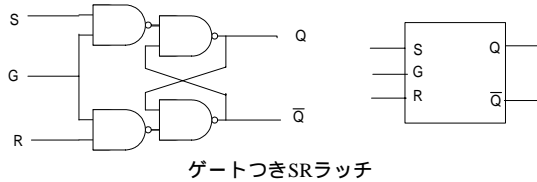
Q	Q <sub>next</sub>	D
0	0	0
0	1	1
1	0	0
1	1	1

論理回路基礎

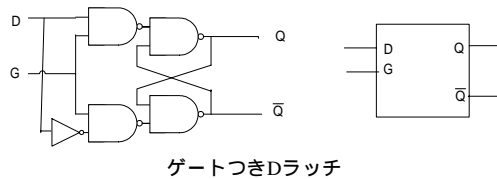
東大・坂井

### 5.3 ゲートつきラッチ

- ゲート: 入力が有効であるかどうかを制御する信号



ゲートつきSRラッチ



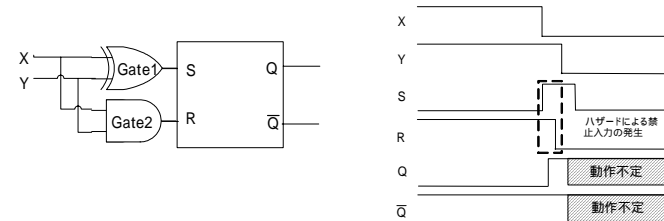
ゲートつきDラッチ

論理回路基礎

東大・坂井

### 5.4 非同期と同期

- 非同期回路: 入力が与えられるとただちに出力が変化する回路  
**非同期の問題点: ハザード(Hazard)**  
 2つの入力SとRに時間的誤差があるとき、一時的に期待していない値が現れる現象

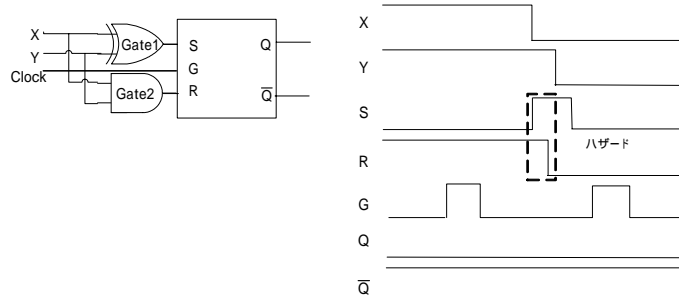


論理回路基礎

東大・坂井

### 非同期と同期 (続き)

- 同期回路: クロックが与えられた時点における入力信号のみに応答する回路
  - 同期回路では**ハザードが生じない**ようにクロックを与えることができる



論理回路基礎

東大・坂井

### 5.5 (同期式) フリップフロップ

- CLK = 1 のときだけ値を取り込む



CLKをゲートに入れることで同期式を実現

論理回路基礎

東大・坂井