

論理回路基礎 (3)

坂井 修一

東京大学大学院 情報理工学系研究科 電子情報学専攻
東京大学 工学部 電気工学科

- スケジュール
- 組合せ回路の構成法

講義の概要と予定

1. デジタル回路入門
2. 論理演算
3. **組み合わせ回路の構成法**
4. 組合せ回路の実例
5. フリップフロップ
6. 基本的な順序回路
7. 一般的な順序回路
8. 論理回路の実現
9. 記憶回路
10. デジタル回路から電子計算機へ

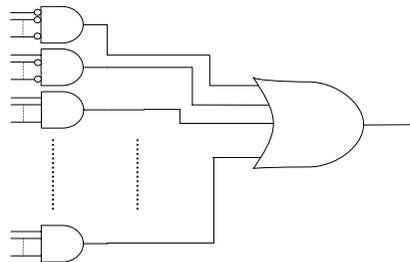
休講: 12月3日、試験: 3月3日(予定)

3. 組合せ回路の構成法

■ 加法標準形

- 定義(復習)

最小項の論理和 = 真理値表で1になる1行をANDで表現し、該当する行のすべてをORで接続したもの



例.

$$\bar{X} \cdot Y + X \cdot \bar{Y} \text{ (XOR)}$$

$$\bar{X} \cdot \bar{Y} \cdot \bar{Z} + X \cdot Y \cdot Z$$

3.1 加法標準形の利点と欠点

■ 利点

- 設計が簡単で機械的
- NOT-AND-ORで構成されるので、出力の遅延は3段分

■ 欠点: 無駄が多い

- 真理値表に出てくる「1」の数だけANDゲートが必要
- ANDゲートは、すべての入力の信号線と同数の入力を必要とする
- 真理値表の出力における「1」の数だけの入力数をもつORゲートが必要になる

簡単化が必要

組み合わせ回路の設計法

- (1) 問題をよく把握し、**定式化**する。
具体的には、入力・出力を2進数で表現し、これらの間の関係を真理値表で表現する
- (2) 真理値表から、加法標準形の論理関数を得る
- (3) **論理関数を簡単化する**
- (4) 回路を記述する

論理回路基礎

東大・坂井

3.2 組合せ回路の簡単化

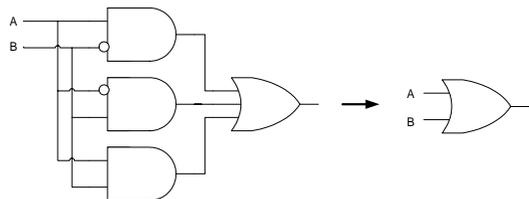
- 簡単化とは？
 - (1) 回路の遅延時間を短くすること
 - (2) 回路の総量を小さくすること
- 加法標準形の簡単化
 - (1) AND素子の数を減らすこと
= OR素子の入力数を減らすこと
 - (2) AND素子の入力数を減らすこと
- 方法
 1. ブール代数による方法
 2. カルノー図による方法
 3. クワイン・マクラスキーの方法

論理回路基礎

東大・坂井

簡単化の例(1)

$$\begin{aligned}
 & \underline{\quad}(1, 2, 3)\underline{\quad} \\
 & = \overline{X} \cdot \overline{Y} + X \cdot \overline{Y} + \overline{X} \cdot Y \\
 & = \overline{X} \cdot \overline{Y} + \overline{X} \cdot Y + X \cdot \overline{Y} + X \cdot Y \quad A+A=A, \text{ 交換法則} \\
 & = \overline{X} \cdot (\overline{Y} + Y) + (\overline{X} + X) \cdot Y \quad \text{分配法則} \\
 & = \overline{X} \cdot 1 + 1 \cdot Y \quad A+A=1 \\
 & = \overline{X} + Y \quad 1 \cdot A=A
 \end{aligned}$$

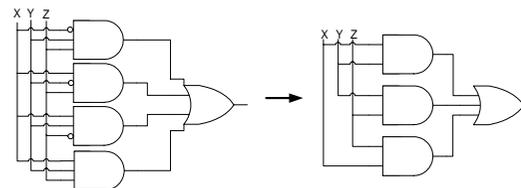


論理回路基礎

東大・坂井

簡単化の例(2)

$$\begin{aligned}
 (3, 5, 6, 7) & = \overline{X} \cdot \overline{Y} \cdot Z + X \cdot \overline{Y} \cdot Z + X \cdot Y \cdot \overline{Z} + X \cdot Y \cdot Z \quad (\text{多数決の論理}) \\
 & = \overline{X} \cdot \overline{Y} \cdot Z + X \cdot \overline{Y} \cdot Z + X \cdot Y \cdot \overline{Z} + X \cdot Y \cdot Z \quad A+A=A, \text{ 交換法則} \\
 & = (\overline{X} + X) \cdot \overline{Y} \cdot Z + X \cdot (\overline{Y} + Y) \cdot Z + X \cdot Y \cdot (\overline{Z} + Z) \quad \text{分配法則} \\
 & = \overline{Y} \cdot Z + X \cdot Z + X \cdot Y \quad A+A=1, 1 \cdot A=A
 \end{aligned}$$



論理回路基礎

東大・坂井

3.3 簡単化とは？

- (前回学習した) ブール代数の規則を利用して簡単化する。特に重要なものは、以下の通り*

1. $X + XY = X$ 、 $X(X + Y) = X$
2. $X + \bar{X}Y = X + Y$ 、 $X(\bar{X} + Y) = XY$
3. $XY + X\bar{Y} = X$ (論理的隣接性)、 $(X + Y)(X + \bar{Y}) = X$

* 特に必要のない場合は、 \cdot (AND) を省略する

簡単化の一般的手順

- 手順
 - 論理的隣接性に注目して、積項の数と入力数を減らすことを可能なかぎり繰り返す
 - 最終的に得られる組合せ回路がもっとも簡単なものとなるように、この簡単化の手順を最適化する

問題

- 次の論理式を簡単化せよ。結果は論理式とMIL記法の両方で表せ(自習)

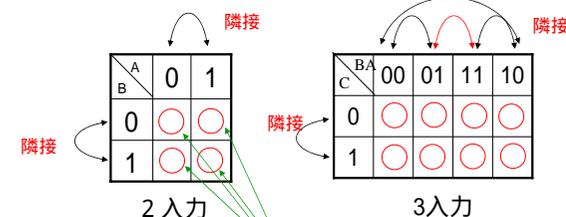
- $\bar{X}\bar{Y}Z + X\bar{Y}Z + XYZ = X\bar{Y} + XZ$
- $\bar{X}YZ + X\bar{Y}Z + XY\bar{Z} + XYZ = XY + YZ + Z\bar{X}$
- $\bar{X}YZ + \bar{X}\bar{Y}Z + XY\bar{Z} + X\bar{Y}\bar{Z} = \dots$
- $\bar{X}\bar{Y}\bar{Z} + \bar{X}Y\bar{Z} + X\bar{Y}\bar{Z} + XY\bar{Z} =$
- $\bar{X}\bar{Z}W + \bar{X}YZ + YZW + XY\bar{Z}W + X\bar{Y}ZW =$

- 簡単化の問題点

- ブール代数だけだと論理的隣接性を見つけるのが面倒

3.4 カルノー図による簡単化

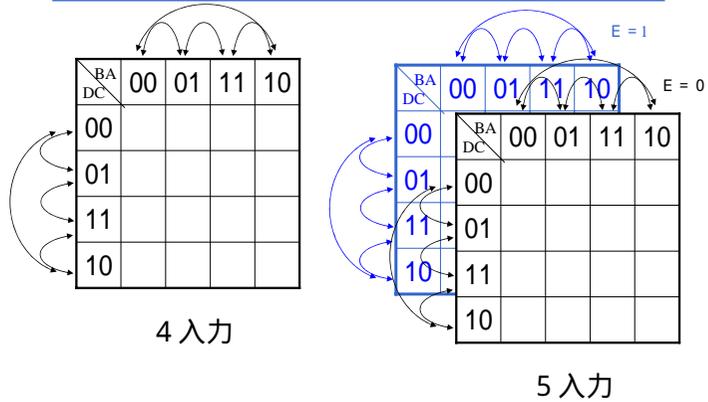
- カルノー図 (Karnaugh Map)
 - 真理値表を書き直して、論理的隣接性を見通しよくしたもの



ここに出力値(0/1)を置く

- 論理的に隣接したもののほうが、図の上で隣接している!

多入力のカルノー図

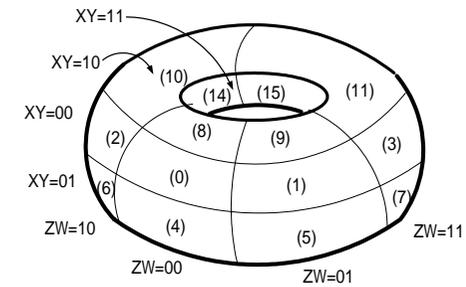


論理回路基礎

東大・坂井

カルノー図の表現法

- トーラス状に表した4入力のカルノー図



論理回路基礎

東大・坂井

カルノー図の例

BA C	00	01	11	10
0			1	
1	1	1	1	1

$$\begin{aligned} &: \overline{C}B\overline{A} + CBA = CA \\ &: \overline{C}B\overline{A} + CBA = BA \\ &: C\overline{B}\overline{A} + CBA = CB \end{aligned}$$

論理式は、 $CA + AB + BC$ と簡単化される

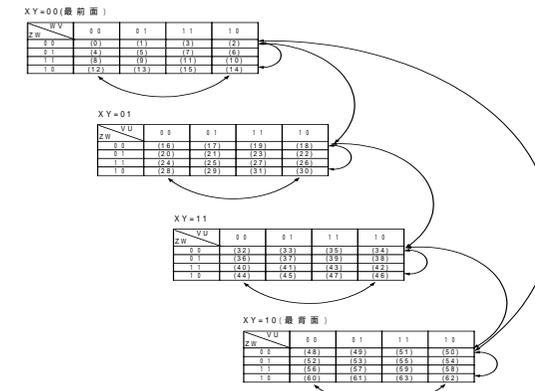
cf. 加法標準形： $\overline{C}B\overline{A} + CBA + \overline{C}B\overline{A} + CBA$

以下、カルノー図で記入していない項は0が入っているものとする

論理回路基礎

東大・坂井

6入力のカルノー図



論理回路基礎

東大・坂井

カルノー図による簡単化

1. カルノー図の上で、隣接した「1」を探し、これをループで囲む。ループは縦横ともに2ベキの大きさをもつとする
2. ループの大きさはなるべく大きくし、ループの数はなるべく少なくする[†]
3. それぞれのループに対応するAND素子を作り、これらの出力をOR素子の入力とする組合せ回路を書く。

[†] ループを大きくすることは、ANDの入力数を減らすことに対応し、ループの数を減らすことはANDの数を減らすことに対応する。これ以上大きくはできないループを表す論理式（積項）を、主項 (prime implicant) という。

論理回路基礎

東大・坂井

カルノー図による簡単化の例(1)

BA DC	00	01	11	10
00		1	1	
01				
11				
10				

$\overline{D}CA$

BA DC	00	01	11	10
00				1
01				
11				
10				1

$\overline{C}B\overline{A}$

論理回路基礎

東大・坂井

カルノー図による簡単化の例(2)

BA DC	00	01	11	10
00				
01				
11	1			1
10				

$D\overline{C}\overline{A}$

BA DC	00	01	11	10
00				
01		1	1	
11		1	1	
10				

CA

論理回路基礎

東大・坂井

カルノー図による簡単化の例(3)

BA DC	00	01	11	10
00		1		
01		1		
11		1		
10		1		

$\overline{B}A$

BA DC	00	01	11	10
00				
01	1	1	1	1
11				
10				

$\overline{D}C$

論理回路基礎

東大・坂井

カルノー図による簡単化の例(4)

BA DC	00	01	11	10
00	1	1		
01				
11				
10	1	1		

$$\overline{C}B$$

BA DC	00	01	11	10
00		1		
01		1	1	
11		1	1	
10		1		

$$CA + \overline{B}A^\dagger$$

cf. $C\overline{B}A + \overline{B}A$

† ループは重なっても良いから大きくとる

論理回路基礎

東大・坂井

カルノー図による簡単化の例(5)

BA DC	00	01	11	10
00		1	1	
01	1	1	1	1
11		1	1	
10		1	1	

$$\overline{D}C + A$$

論理回路基礎

東大・坂井

問題

- 下記の3入力関数を簡単化せよ。答えは、ブール代数の式とMIL記法の回路の両方で記せ。
 - (0, 1, 5, 6, 7)
 - (0, 1, 2, 3, 5, 7)
 - (0, 1, 2, 4, 7)
- 下記の4入力関数を簡単化せよ。答えは、ブール代数の式とMIL記法の回路の両方で記せ。
 - (0, 1, 5, 7, 8, 10, 14, 15)
 - (1, 5, 6, 7, 10, 12, 13, 15)
 - (0, 2, 8, 10, 14)
- 0以上15以下の整数を4ビットの2進数として入力し、これが素数ならば1を、素数でなければ0を返す回路を書け。入力が1以上9以下ならどうか。答えは、ブール代数の式とMIL記法の回路の両方で記せ。
- 0以上15以下の整数を4ビットの2進数として入力し、これがフィボナッチ数ならば1を、素数でなければ0を返す回路を書け。入力が1以上9以下ならどうか。答えは、ブール代数の式とMIL記法の回路の両方で記せ。

論理回路基礎

東大・坂井