

論理回路基礎 (4)

坂井 修一

東京大学大学院 情報理工学系研究科 電子情報学専攻
東京大学 工学部電気工学科

- スケジュール
- 組合せ回路の構成法
- 組合せ回路の実例

講義の概要と予定

1. デジタル回路入門
2. 論理演算
3. 組み合わせ回路の構成法
4. 組合せ回路の実例
5. フリップフロップ
6. 基本的な順序回路
7. 一般的な順序回路
8. 論理回路の実現
9. 記憶回路
10. デジタル回路から電子計算機へ

休講: 12月2日、試験: 3月3日(予定)

3. 組合せ回路の構成法(その2)

- 復習 ー組合せ回路の簡単化ー
 - ー ブール代数による方法
 - ブール代数の規則を利用して簡単化する。特に「論理的隣接性」によって簡単化する。
 - ー カルノー図による方法
 1. カルノー図の上で、隣接した「1」を探し、これをループで囲む。ループは縦・横ともに2のべきの大きさをもつものとする。
 2. ループの大きさはなるべく大きくし、ループの数はなるべく少なくする
 3. 2.で得られたループにしたがって、回路を記述する

カルノー図の問題点

1. 入力数が5(6)までしか使えない
2. 計算機でアルゴリズムック(Algorithmic)に処理しにくい
3. 複数入力・複数出力の簡単化ができない
 - ー 途中まで同じ回路を利用できる場合などに対応できない

- 解決策: クワイン・マクラスキーの方法

3.5 クワイン・マクラスキー法 (Quine-McCluskey Method)(1)

- STEP 1. 与えられた論理式を加法標準形にし、結果を、 \sum の式で表現する。各最小項は2進数で表現しておく。
- STEP 2. 最小項を、含まれる1の数によってグループ分けする。1が*i*個含まれるグループをグループ*i*と呼ぶ (*i*=0, 1, ..., *N*) (第一次グループ分け)
- STEP 3. 隣り合うグループの要素をすべての組合せについて比較し、論理的隣接性があるものをペアとして、ひとつの式で表現する。すなわち、 $A_0A_1 \dots A_i \dots A_{M-2}A_{M-1}$ ($A_j=0$ または1) と $A_0A_1 \dots \bar{A}_i \dots A_{M-2}A_{M-1}$ をまとめて、 $A_0A_1 \dots * \dots A_{M-2}A_{M-1}$ とする。ここで、 A_i のあった位置にスター(*)を入れている点に注意。ペアが見つかった要素に、\$印をつけておく
- STEP 4. STEP3でできた新しい式を、含まれる1の数によってグループ分けする(第二次グループ分け)
- STEP 5. STEP3, STEP4を、論理的隣接性が発見できなくなるまで繰り返す。ここで、*は*だけとマッチすることに注意。この手順が終わったときに、\$印のつかない項が主項となる

論理回路基礎

東大・坂井

クワイン・マクラスキー法(2)

- STEP 6. 主項を行に、加法標準形の最小項を列にとった表を作り、各主項が最小項を含む箇所に印(>)をつける
- STEP 7. >をひとつしか含まない列をさがす。該当する列の>印を印に変える。このとき、対応する主項を**必須項(essential term)**と呼ぶ。さらに、のついた行の>をすべてに変える
- STEP 8. のついた行と列を、STEP6で作成した表から削除する
- STEP 9. 残った表について、もっとも簡単な主項の組合せを、各列に少なくとも1個の>があるように選ぶ
- STEP 10. STEP7の必須項とSTEP9の主項の論理和をとったものが求める組合せ論理の式である

論理回路基礎

東大・坂井

例題1: フィボナッチ数(カルノー図)

- 問題: 4桁の2進数がフィボナッチ数であれば1を返す組合せ回路を書け(前回課題)
- カルノー図による解
 - 加法標準形は (0001, 0010, 0011, 0101, 1000, 1101)
 - カルノー図

	ZW	00	01	11	10
XY	00		1	1	1
	01		1		
	11		1		
	10	1			

解答

$$X \cdot Y \cdot W + \bar{X} \cdot \bar{Y} \cdot Z + Y \cdot \bar{Z} \cdot W + X \cdot \bar{Y} \cdot \bar{Z} \cdot \bar{W}$$

論理回路基礎

東大・坂井

例題1: フィボナッチ数(クワインマクラスキー法)

STEP1-5 論理的隣接性の表

グループ	最小項	印	グループ	組	印
1	0 0 0 1	\$	(1, 2)	0 0 * 1	
	0 0 1 0	\$		0 * 0 1	
	1 0 0 0			0 0 1 *	
2	0 0 1 1	\$	(2, 3)	* 1 0 1	
	0 1 0 1	\$			
3	1 1 0 1	\$			

STEP6-7 主項と必須項

	0001	0010	0011	0101	1000	1101
1 0 0 0						
0 0 * 1	>			>		
0 * 0 1	>			>		
0 0 1 *						
* 1 0 1						

必須項は、 $X \cdot \bar{Y} \cdot \bar{Z} \cdot \bar{W}$ 、 $\bar{X} \cdot \bar{Y} \cdot Z$ 、 $Y \cdot Z \cdot W$

論理回路基礎

東大・坂井

例題1: フィボナッチ数(Q.M.法の続き)

STEP8-9 を除いた主項

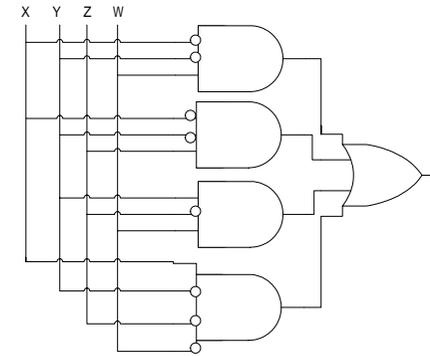
	0001
0 0 * 1	>
0 * 0 1	>

残すべき主項の候補は2つあるが、どちらを採っても回路規模は同じ
最初の行の主項を採って、 $\bar{X} \cdot \bar{Y} \cdot W$ とする。

STEP10 最終形

$$\bar{X} \cdot \bar{Y} \cdot W + \bar{X} \cdot \bar{Y} \cdot Z + Y \cdot \bar{Z} \cdot W + X \cdot \bar{Y} \cdot \bar{Z} \cdot \bar{W}$$

フィボナッチ数判定回路(MIL記法)



4. 組合せ回路の実例

■ 内容

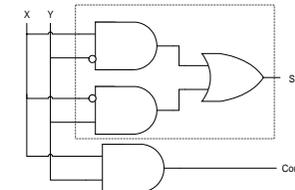
- 加算器
- 減算器
- ALU
- デコーダ
- セレクタ
- PLA

4.1 加算器

■ 半加算器(half adder)

- 入力A, Bを受け、その桁の和Sと、桁上がりC (Carry, キャリ)を作り出す2進1桁の加算回路

X	Y	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1



$$S = \bar{X}Y + X\bar{Y} = X \oplus Y, \quad \text{Cout} = XY$$

全加算器

■ 1ビット全加算器(full adder)

- 入力A, Bおよび一つ下の桁からの桁上がりCinを受け、その桁の和Sと、桁上がりCoutを作り出す2進1桁の加算回路

X	Y	Cin	S	Cout
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

真理値表

論理回路基礎

Cin \ XY	00	01	11	10
0	0	1	0	1
1	1	0	1	0

S

Cin \ XY	00	01	11	10
0	0	0	1	0
1	1	0	1	1

Cout

カルノー図

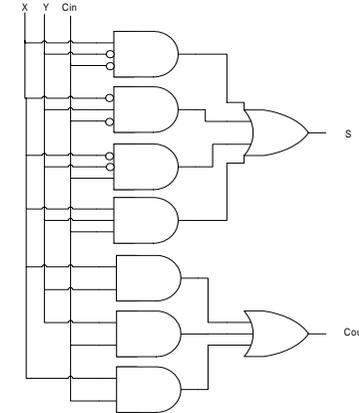
$$S = XYCin + X\bar{Y}\bar{Cin} + \bar{X}Y\bar{Cin} + \bar{X}\bar{Y}Cin$$

$$= X \oplus Y \oplus Cin$$

$$Cout = XY + YCin + XCin$$

東大・坂井

全加算器の回路図(MIL記法)

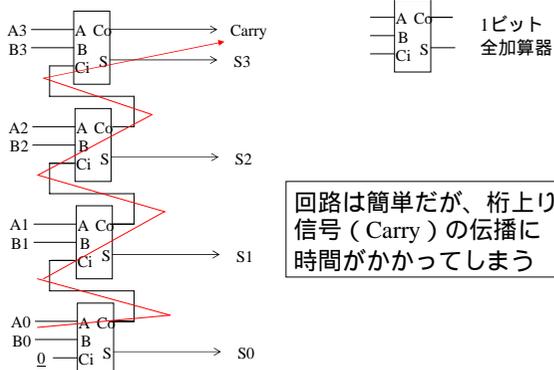


論理回路基礎

東大・坂井

Nビット全加算器(1)

■ リプルキャリ方式

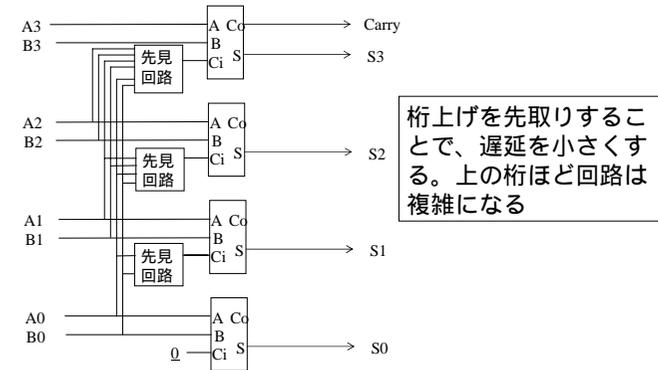


論理回路基礎

東大・坂井

Nビット全加算器(2)

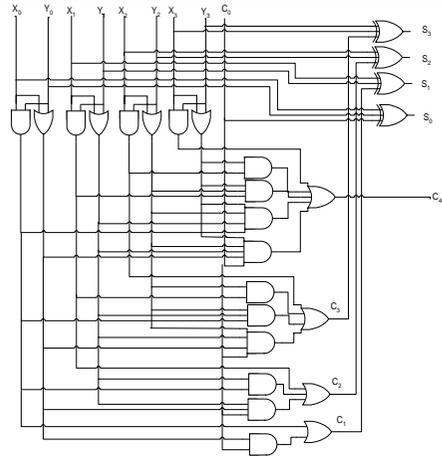
■ キャリルックアヘッド方式



論理回路基礎

東大・坂井

4ビットキャリルックアヘッド加算器

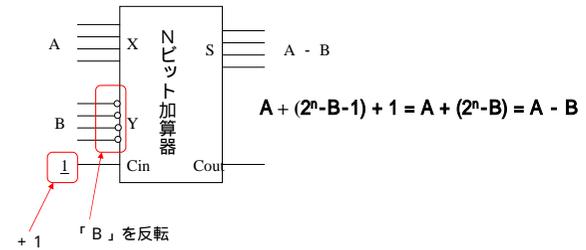


論理回路基礎

東大・坂井

4.3 減算器

- $A - B$: Bの全ビットを反転して1を加えたものを、Aに加える



1を加える 加算器の最下位の桁のCarryInに1を入れる

論理回路基礎

東大・坂井

問題

1. 論理関数 (1, 5, 6, 7, 9, 13, 14)をカルノー図によって簡単化せよ。次にクワインマクラスキー法によって簡単化せよ
2. キャリルックアヘッド加算器の回路の一般的な設計法を示せ
3. 4ビット加減算器の回路を書け。ただし、4ビット加算器は既存のものとして使ってよい
 - 入力: $A_3-A_0, B_3-B_0, \bar{A}/S$
 - 出力: $S: \bar{A}/S=1$ のとき $X + Y$
 $\bar{A}/S=0$ のとき $X - Y$

Carry

論理回路基礎

東大・坂井